

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08288463

(43)Date of publication of application: 01.11.1996

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number: 07092150

(22)Date of filing: 18.04.1995

(71)Applicant:

(72)Inventor:

HITACHI LTD

MORI MITSUHIRO

HIGUCHI KATSUHIKO

MIYAZAKI MASARU

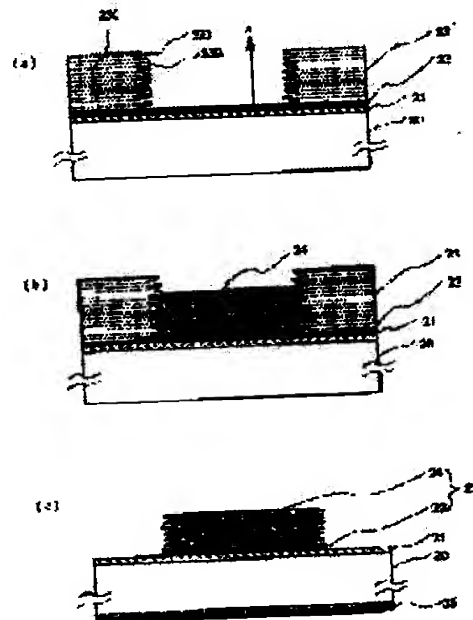
OBE ISAO

(54) STRIPLINE, INDUCTOR ELEMENT, MONOLITHIC MICROWAVE INTEGRATED CIRCUIT AND THEIR MANUFACTURE

(57)Abstract:

**PURPOSE:** To prevent high resistance of a stripline formed on a substrate due to skin effect of high-frequency electric wave and provide the stripline that allows small loss by permitting the cross-section of the interconnection layer of the stripline to have a shape which has different widths in the thickness direction.

**CONSTITUTION:** A resist pattern 23 which corresponds to a stripline is formed. At the time of exposing photoresist, standing waves are formed on a resist layer due to interference of incident waves from a light source with reflected waves from the resist bottom plane 230. Then, when a positive resist is used, the node of the standing wave is easily left to be protruding part 231, and the loop of the standing wave becomes a recessed part 232. After removing the resist 23 by resist remover, unnecessary part of a base film 22 for electrolytic plating is removed by ion milling, by using an interconnection layer 24 as a mask, and a stripline 25 is formed. The surface area is increased by providing ruggedness on the sides of the interconnection layer 24. Thus, surface current is increased and high-frequency resistance is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-288463

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

D  
F  
L  
P

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21)出願番号 特願平7-92150

(22)出願日 平成7年(1995)4月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 森 光廣

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 樋口 克彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 宮▲崎▼ 勝

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 中村 純之助

最終頁に続く

(54)【発明の名称】 ストリップ線路、インダクタ素子、およびモノリシックマイクロ波集積回路、ならびにこれらの製造方法

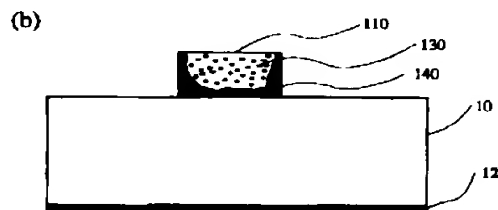
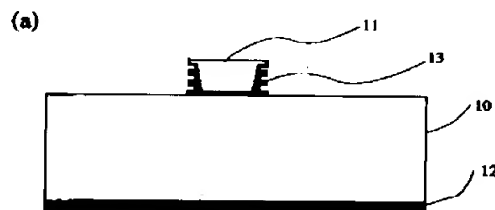
(57)【要約】

【目的】高周波電流の表皮効果による線路の高抵抗化を防止できる構造を有する低損失のストリップ線路を提供するとともに、これにより低損失のモノリシックマイクロ波ICを提供する。

【構成】ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にする構造、あるいは配線層に絶縁物の粒子または空隙を含む断面構造を備えるストリップ線路、該ストリップ線路の螺旋状形状を有するインダクタ素子、およびこれらを含むモノリシックマイクロ波IC、ならびにこれらの製造方法。

【効果】低伝送損失のストリップ線路を作製でき、また、インダクタ素子の低損失化、およびモノリシックマイクロ波ICの高利得化、低雑音化ができる。

図1



## 【特許請求の範囲】

【請求項1】基板上に形成されたストリップ線路において、該ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にする形状を少なくとも一部に備えることを特徴とするストリップ線路。

【請求項2】請求項1記載のストリップ線路において、上記基板が半絶縁性半導体基板であることを特徴とするストリップ線路。

【請求項3】請求項1または請求項2記載のストリップ線路において、上記厚み方向に幅の大きさを異にする形状が、線路の側面に凹凸を有するものであることを特徴とするストリップ線路。

【請求項4】請求項1または請求項2記載のストリップ線路において、上記厚み方向に幅の大きさを異にする形状が、線路の側面に凹みを有するものであることを特徴とするストリップ線路。

【請求項5】請求項1から請求項4の何れかに記載のストリップ線路を螺旋状に巻いた形状を有することを特徴とするインダクタ素子。

【請求項6】能動素子と、ストリップ線路と、両者をインピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、

上記ストリップ線路は、請求項1から請求項4の何れかに記載のストリップ線路の構成を備え、また、インダクタ素子の素子を含む整合回路には、該インダクタ素子の素子として、請求項5記載のインダクタ素子または少なくとも上記請求項1から請求項4の何れかに記載のストリップ線路の構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項7】基板上に形成されたストリップ線路において、該ストリップ線路の配線層の断面構造が、絶縁物の粒子または空隙を含む構造を少なくとも一部に備えることを特徴とするストリップ線路。

【請求項8】請求項7記載のストリップ線路において、上記基板が半絶縁性半導体基板であることを特徴とするストリップ線路。

【請求項9】請求項7または請求項8記載のストリップ線路を螺旋状に巻いた形状を有することを特徴とするインダクタ素子。

【請求項10】能動素子と、ストリップ線路と、両者をインピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、

上記ストリップ線路は、請求項7または請求項8記載のストリップ線路の構成を備え、また、インダクタ素子の素子を含む整合回路には、該インダクタ素子の素子として、請求項9記載のインダクタ素子または少なくとも上記請求項7または請求項8に記載のストリップ線路の構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項11】能動素子と、ストリップ線路と、両者を

インピーダンス整合させる整合回路を有するモノリシックマイクロ波集積回路において、

上記能動素子と該能動素子に所定の電圧を供給するための抵抗素子とのうち少なくとも上記能動素子を含む構成と、

上記ストリップ線路には、請求項6または請求項10記載のストリップ線路の構成と、

上記整合回路には、容量素子とともに請求項6または請求項10記載のインダクタ素子の素子の構成を備えることを特徴とするモノリシックマイクロ波集積回路。

【請求項12】少なくとも、露光時に発生する定在波により、側面に波升形状を形成するホトレジストを基板上に形成する工程と、該レジストをマスクとして選択的に導体パターンを形成する工程からなることを特徴とするストリップ線路の製造方法。

【請求項13】少なくとも、基板上のボウ型レジストの一部を最適露光条件よりも不足の露光量で露光する工程と、該レジストを現像し傾面形状に凹みを付ける工程と、該レジストをマスクとして選択的に導体パターンを形成する工程からなることを特徴とするストリップ線路の製造方法。

【請求項14】少なくとも、基板上にストリップ線路用配線層を形成する工程において、めっき液に絶縁物の細粒を分散させた液を用いたことを特徴とするストリップ線路の製造方法。

【請求項15】請求項14記載のストリップ線路の製造方法において、上記絶縁物の粒子が有機化合物であり、熱処理工程による炭化によってストリップ線路用配線層内に空隙を形成することを特徴とするストリップ線路の製造方法。

【請求項16】請求項12から請求項15の何れかに記載のストリップ線路の製造方法を含むインダクタ素子またはモノリシックマイクロ波集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、移動通信、衛星通信、および衛星放送等のマイクロ波、ミリ波領域で動作するストリップ線路の低損失化の構造および製造方法に係り、またこれによる集積回路の高性能化の改善に関する。

## 【0002】

【従来の技術】小型の高周波回路を実現するために高周波動作する能動素子と、インピーダンス整合用のストリップ線路、インダクタ素子、容量等の受動素子をGaAs、InP等の半絶縁性化合物半導体基板上に集積するモノリシックマイクロ波集積回路(Monolithic Microwave Integrated Circuit)以下、モノリシックマイクロ波ICという)が実用化されている。このモノリシックマイクロ波ICの高性能化、高出力化などの高性能化のためには、能動素子の高性能化とともに、ストリップ線路の

10

20

30

40

50

低損失化が必須である。従来のモノリシックマイクロ波ICに用いられるストリップ線路の伝送損失に関しては、例えば阿部英太郎著『マイクロ波』の『3. 6 マイクロストリップの損失』の節(43頁~47頁; 1983年刊(東京大学出版会))において論じられている。図2に従来のストリップ線路の断面図を示す。厚さ $h$ の半絶縁性半導体基板10の上に、幅 $w$ 、厚さ $t$ のストリップ線路11'がAuなどの導体で形成されている。12は裏面電極である。

【0003】ストリップ線路の特性インピーダンス $Z_0$ は、マイクロ波、ミリ波回路において整合回路を作製する上で重要なパラメータであり、 $w$ と $h$ の比によって決まる。すなわち、基板厚み $h$ および基板の比誘電率 $\epsilon_r$ が与えられれば、所望の特性インピーダンス $Z_0$ を得るためのストリップ線路幅 $w$ は自動的に決まる。図3にストリップ線路の幅による、特性インピーダンスの変化を示す。なおストリップ線路の特性インピーダンス $Z_0$ は、近似的に次式で表される。

【0004】

【数1】

$w/h \ll 1$ の時

$$Z_0 = (60/\sqrt{\epsilon_r}) \ln(8h/w)$$

$w/h \gg 1$ の時

$$Z_0 = (120\pi/\sqrt{\epsilon_r}) (h/w)$$

..... (数1)

ここで

$Z_0$ ; 特性インピーダンス  
 $w$ ; ストリップ線路幅  
 $h$ ; 基板厚み  
 $\epsilon_r$ ; 基板の比誘電率

$$\delta = 1.59 \sqrt{\frac{\rho}{f}}$$

..... (数2)

ここで

$\delta$ ; 表皮深さ ( $\mu\text{m}$ )  
 $\rho$ ; パルクの比抵抗 ( $\mu\Omega\text{-cm}$ )  
 $f$ ; 動作周波数 (GHz)

【0007】すなわち、端の無い無限平板の導体を流れる高周波電流はその厚さ方向に一様に流れることはない。このため、導体厚みを表皮深さ $\delta$ の2倍から3倍まで厚くするのは高周波抵抗 $R$ の低減に効果があるものの、それ以上導体を厚くしても $R$ の低減効果はほとんどない。次に、図2の矩形断面を有する導体11' (この部分を以下単に配線層ともいう)に流れる高周波電流の電流分布を示す。図4のグラフの実線はそれぞれ導体の上面と下面の電流 $I(x)$ の分布を表している。導体11'の断面において、13'のハッチングを施した部分

【0005】次に、線幅 $w$ を有するストリップ線路の伝送損失に関して述べる。伝送損失は、導体損、誘電放射損の順に小さくなり、導体損の割合が最も大きい。導体損は、高周波電流がストリップ線路に流れる際に、その抵抗で生じるジュール損である。動作周波数を $f$ とすると、導体損は $\sqrt{f}$ に比例して増大するため、高周波動作するほど大きくなる。一般に、高周波における導体の抵抗 $R$ は直流抵抗 $R_0$ より大きくなる。これは高周波においては導体断面中の電流の分布が一様でなく、電流が導体の内部より、表面の方に集中して流れる表皮効果のためである。電流密度が表面の $1/e$ に低下する厚みを表皮深さ $\delta$ と言い、動作周波数 $f$ に依存し、次式で表される。

【0006】

【数2】

が電流密度の高い場所に対応しており、このことからわかるように、導体底面と導体下端に集中して電流は流れることになる。

【0008】

【発明が解決しようとする課題】上記のように、ストリップ線路の矩形断面の導体に流れる電流の流れ方は、比抵抗と周波数を与えれば一義的に決まっているものである。また一方、導体の線幅 $w$ は特性インピーダンスにより決まるパラメータであり、勝手に高周波抵抗 $R$ を低減するために広くすることはできないという制約から、ス

ストリップ線路の高周波抵抗 $R$ を低減するためには、線路を厚さの比抵抗 $\rho$ の低い金属で、表皮深さ $\delta$ の2倍から3倍までの厚さを有する矩形断面構造を作製する以外に方法はなかった。

【0009】本発明の目的は、高周波電流の表皮効果による線路の高抵抗化を防止できる構造を有する低損失のストリップ線路を提供するとともに、これにより低損失なモノリシックマイクロ波ICを提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するため、本発明のストリップ線路は、一つには基本的に、基板上に形成されたストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にする形状を少なくとも一部に備えることを特徴とする。

【0011】ここで、上記基板としては従来技術で用いられているように、半絶縁性半導体基板を用いることができ、本発明は従来技術の上に広く適用できるものである。

【0012】この場合に、上記厚み方向に幅の大きさを異にする形状としては、図1(a)に本発明によるストリップ線路の断面構造例を示すように、例えば半絶縁性半導体基板10上に形成した導体層11の側面に凹凸を有するようにすればよい。なお、12は裏面電極である。

【0013】あるいは、上記厚み方向に幅の大きさを異にする他の形状としては、例えば図4(c)の導体47のローブ状の断面形状にみられるように、線路の側面に凹みを有するものであってもよい。

【0014】またあるいは、図1(b)に本発明による別のストリップ線路の基本的断面構造を示すように、線路の配線層11の少なくとも一部に絶縁物の粒子または空隙を有するような構造にしてもよい。図1(b)では、金属ストリップ層110中に無機化合物又は有機化合物130を埋め込んだ複合化材料でストリップ線路を構成している。

【0015】また、上記の目的を達成するための本発明のインダクタ素子は、例えば図7の導体47に例示がみられるように、上記のようなストリップ線路を、螺旋状に巻いた形状を持たせる。これにより $Q$ の高いインダクタ素子が得られる。

【0016】さらに、上記の目的を達成するための本発明のモノリシックマイクロ波ICでは、能動素子と、ストリップ線路と、両者をインピーダンス整合させる整合回路を有するモノリシックマイクロ波ICにおいて、上記のような本発明のストリップ線路を用い、整合回路としてインダクタ素子を構成要素として含む場合はそのインダクタ素子として、例えば使用周波数帯によっては上記本発明のインダクタ素子あるいは使用周波数帯によっては所要長の上記本発明のストリップ線路を用いる構成を少なくとも備えることとする。

【0017】この場合に、上記モノリシックマイクロ波ICとしては、例えば図10に示すように、能動素子71とともに該能動素子71に所定の電圧を供給するための抵抗素子73を含む構成と、配線層74を有するストリップ線路の構成と、また整合回路には容量素子72とともにインダクタ素子78の構成を含んで形成してもよい。能動素子に所定の電圧を供給するための抵抗素子は、当該のモノリシックマイクロ波ICの外部回路に含む場合もある。例えば図5に示す60GHzのような高周波のモノリシックマイクロ波ICで、能動素子31、容量素子32、ストリップ線路371で構成された例示に示すように、上記の抵抗素子は含まず、また、ストリップ線路によって整合回路のインダクタ素子の素子を形成することもできる。

【0018】また、上記目的を達成するための本発明のストリップ線路の製造方法では、例えば図1に示すように、少なくとも、露元時に発生する定在波により、側面に蝕食形状を形成するホトリソ法を基板上に形成する工程と、該レジストをマスクとして選択的に導体パターンを形成する工程からなることを特徴とする。

【0019】あるいは、ストリップ線路の他の製造方法として、少なくとも、基板上の半導体レジストの一部を最適露光条件により不足の露光量で露元する工程と、該レジストを現像し側面形状に凹みを付ける工程と、該レジストをマスクとして選択的に導体パターンを形成する工程からなることとして、例えば図6の47の導体形状のストリップ線路を形成してもよい。

【0020】またあるいは、ストリップ線路の別の製造方法として、少なくとも、基板上にストリップ線路用配線層を形成する工程において、例えば図8に示すように、めっき液に絶縁物の細粒を分散させた液を用いるようにしてもよい。

【0021】この場合に、上記の絶縁物の粒子を有機化合物で形成し、熱処理工程によるその変化によってストリップ線路用配線層内に空隙を形成することとしてもよい。

【0022】また、上記の目的を達成するため、本発明では、ストリップ線路を以上の方法で製造するのみならず、これを用いて集積回路素子としてのインダクタ素子を形成し、あるいはこれらを含んでモノリシックマイクロ波ICを形成することとする。

【0023】

【作用】導体の側面は電界が集中しやすい、電流密度は高くなる。本発明で、ストリップ線路の配線層の断面形状がその厚み方向に幅の大きさを異にするような形状とすることは、電流密度の高い部分の表面積を大きくすることになる。すなわち、ストリップ線路の配線層の側面に凹凸や凹みをつけることにより、表面積を拡大させて表面電流を増大させることが可能になり、高周波抵抗の低減が可能になる。図1(a)に配線層の側面に凹凸を

7

つけた場合の本発明によるストリップ線路内における電流密度分布の高い場所をハッチング13により示す。本発明によれば、従来法による同寸法を有する図2のような配線層の場合と比較して、側面における表面電流が増加し、高周波直列抵抗Rの低いストリップ線路を作製することが可能になる。

【0024】別の方法として、図1(E)に示すように、絶縁物微粒子あるいは微細な空隙130によって、配線層の表面積を増大する効果がある。電流密度の大きい部分を、ハッチング110で示す。本発明によれば、従来法による同寸法を有する配線層と比較して、配線層底面では深さまで電流が流れ、配線層側面においては表面積を増加させることになり、電流を増加させることになる。そのため本発明によるストリップ線路の高周波直列抵抗Rでは、従来素子に比し直列抵抗Rは相対的に大きくなるが、動作周波数を増加していくと或る周波数から逆転する。その結果、高周波直列抵抗Rの低いストリップ線路を作製できることになる。

【0025】そこで、ストリップ線路のみならず、これを用いてインダクタ素子を形成し、またこれらによりモナリシックマイクロ波ICを形成することにより、これらを低損失化することが可能になる。この低損失化はモノリシックマイクロ波ICの高利得化、低雑音化、低消費電力化などの高性能化をもたらすことになる。

【0026】

【実施例】

（実施例1）図4は本発明による30GHz帯で動作するGaAsモノリシックマイクロ波ICに適用するストリップ線路の断面工程図であり、以下に詳細にその製造方法を説明する。

(a) 基板厚さ600 $\mu$ mの半絶縁性GaAs基板20上にSiO<sub>2</sub>等の絶縁膜21を600nm被着し、めっき用下地金属層22を例えば下からTi、Au（20nm、150nm）の二層構造を有する金属膜で形成する。Tiは絶縁膜21との密着性確保のために用いる。次に通常のホトリソグラフィ技術を用いてストリップ線路に対応するレジストパターン23を形成する。レジストを露光するとき、光源からの入射波がレジスト下面230からの反射波の干渉によってレジスト層に定在波ができる。特に、めっき用下地金属層22のように反射率が高い金属膜がレジスト下面230と接している場合は、特に著しい。即ち、定在波の節の部分は露光不足となり、現像の段階で、ホトマスク法とレジスト法の間で偏差が生じる。本図の如くレジストに凹型、レジストを用いれば、定在波の節の部分は残りやすくなり、レジストパターンの凹部231になり、定在波の腹の部分レジストパターン23の凹部232になる。一方、凹型レジストを用いる場合は逆に、定在波の節の部分は現像液に溶けやすく、レジストパターンの凹部を形成し、腹の部分は凸部になる。ホトリソグラフィで用いる光

8

源は、超高压水銀灯のg線405nmあるいは、i線365nmである。真空中における波長が405nmの場合、レジスト中での波長は270nmになるので、レジスト下面230からの距離xに対し $x = 1/3.5 \times N$ （ $N = 0, 1, 2, \dots$ ）すなわち0nm、135nm、270nm、405nm、……に節ができ、 $x = 1/3.5$ （ $N = 1, 2, \dots$ ）すなわち68nm、203nm、……に腹ができる。i線の場合もやや間隔が狭くなるが、同様の定在波の効果がレジスト断面に現われる。通常は、レジスト現象後のポストバックにより、レジストの定在波による凹凸をならすが一般的であるが、本法ではこの効果を積極的に利用する。

【0027】(b) 次にレジスト23をマスクとして、Auの選択電解めっき法により、めっき用下地金属層22に電流を流し、配線層24を形成する。配線層24は定在波によりできたレジストの凹凸を転写された形状になる。30GHzで動作するGaAsモノリシックマイクロ波ICの場合、Auのストリップ線路の表皮深さは $\delta = 0.43\mu$ mである。ストリップ線路の厚さは、 $\delta$ の3倍に選び、1.3 $\mu$ mを用いる。

【0028】(c) レジスト23をレジスト剥離材で除去後、配線層24をマスクとして、電解めっき用の下地金属膜22の主要部分をイオンリングで除去する。以上の工程を経て、ストリップ線路25は形成される。最後に、半絶縁性GaAs基板20を50 $\mu$ mまで薄層化し、裏面電極26を被着する。

【0029】一例としてGaAs基板20の厚み50 $\mu$ mにおける特性インピーダンス $Z_0 = 100\Omega$ のストリップ線路に対して、本発明の効果を述べる。ストリップ線路の幅は $w = 3\mu$ mであり、線路の側面には0.135 $\mu$ m周期の凹凸ができている。凹凸の振幅は、ピーク・ピークで約0.2 $\mu$ mある。表皮深さは $\delta = 0.43\mu$ mであり、周期、振幅とも $\delta$ の約1/2から1/3になっている。表面電流は従来の構造に比しストリップ線路の側面が増加したのに対応して流れやすくなり、高周波抵抗Rは従来の80%に低減できる。この結果、ストリップ線路の導体損を低減でき、その伝送損失を従来の2.05dB/cmから1.22dB/cmに改善できる。上記の凹凸の振幅はストリップ線路の動作周波数における表皮深さ $\delta$ を考慮する必要があり、実験的に、表皮深さの1/10以上から2倍以下の範囲であることが望ましい。

【0030】（実施例2）以下に、本発明の別の実施例を図5の60GHz帯で動作するモノリシックマイクロ波ICの断面工程図を用いて詳細に説明する。

(a) 半絶縁性GaAs基板300上にInGaAsチャネルを有するシェードモルフィングHEMT用エピタキシャル成長層301を成長させたウェハ30を用意する。まず能動素子として、InGaAsチャネル・シェードモルフィングHEMT31をメサエッチングにより

10

20

30

40

50

アイソレーションした領域に形成する。ソース電極310、ドレイン電極311をAuGe/W(Ni)/Auで、ゲート電極312をA1により形成する。MIM(金属-絶縁物-金属、Metal Insulator Metal)容量の下層電極320をゲート電極工程でA1を用いてあらかじめ形成しておき、33は絶縁膜であり、SiO<sub>2</sub>あるいはPSG/CVD膜500nmを用いる。

【0031】(b) MIM容量32は下層電極320のA1層と第1の配線層340Mo/Au層によりプラズマSiN膜321を挟んだサンドイッチ構造で形成する。35はSiO<sub>2</sub>あるいはPSG/CVDにより形成された絶縁膜600nmである。

【0032】(c) レジスト36(1μm)をパターンニングし、コンタクト孔360およびストリップ線路形成部370に開口する。次にTi/Au(20nm/150nm)の二層構造を有する金属膜をめっき用下地金属層37を室温蒸着により被着する。その後、エアブリッジ配線(空間配線)部およびストリップ線路形成部以外の部分をレジスト36(10μm)をめっき用下地金属層37を保護する。このレジスト36には定在放効果を利用して、断面にレジストの凹みを形成している。

【0033】(d) レジスト36をマスクに選択電解めっき法により、めっき用下地金属層37上にAuを8μm被着し、ストリップ線路371及びエアブリッジ372を形成する。ストリップ線路371の膜厚としては、 $\delta = 0.3 \mu\text{m}$ の3倍、即ち $0.9 \mu\text{m}$ あれば電気抵抗の上では十分であるが、エアブリッジ372の強度の観点から厚くしている。最後に、レジスト36を不要なめっき用下地金属層37、レジスト36を順次ドライエッチングやイオンミリング法で除去する。また半絶縁性GaAs基板300を50μmまで薄層化し裏面電極38を被着する。

【0034】以上のプロセスを経て作成された低雑音増幅器の性能について以下に述べる。モノリシックマイクロ波ICに用いる入出力ミキサ・ビークアップ回路には、容量とインダクタンスの素子を用いられ、その低損失化は、低雑音増幅器等の回路にとって重要である。本実施例は、60GHz帯程の高い周波数帯域であるので、インダクタンスの素子としてストリップ線路自体を用いている。そこで、整合回路に用いるストリップ線路の寄生抵抗Rが大きいと、回路の利得は低下する。さらに利得が低下しただけ、雑音指数が増大し、回路性能の劣化を生じる。このためストリップ線路の伝送損失は、能動素子であるInGaAsチャネル・トランジスタモルフィックHEMTの雑音指数に比し、回路として提供できる雑音指数を劣化させるという問題がある。本発明によれば、ストリップ線路の伝送損失を低減することができ、高性能の高周波低雑音増幅器が作製できた。すなわち、従来は3V動作、消費電流8mAで、60GHzにおいて動

作する低雑音増幅器の電力利得はPG=9-5dB、雑音指数NF=2-5dBであったが、本発明によるストリップ線路を用いた低雑音増幅器は、同一駆動電流で、PG=10-0dB、NF=2-0dBがえられた。

【0035】(実施例3) 以下に、本発明の別の実施例を図6のインダクタ素子断面図を用いて詳細に説明する。図6は、本発明のストリップ線路素子の実施例を螺旋状に巻いて形成したインダクタ素子の形成工程を断面図的に示すものである。

10 (a) GaAs、InPなどの半絶縁性半導体基板40上にSiO<sub>2</sub>等の絶縁膜41を600nm被着し、第1の金属配線層42を例えば下からMo/Au/Mo(150nm/10μm/50nm)の三層構造を有する金属膜で形成する。第1の金属配線層は本発明の例えば図1(a)の構造を有するストリップ線路である。配線幅は10μm〜40μmをもっている。第2の絶縁膜43、例えばSiO<sub>2</sub>、SiNあるいはポリイミド樹脂等を600nmあるいは6μm被着後、通常のホトリソグラフィ技術を用いてコンタクト孔45を開口する。41はレジストを表す。

20 【0036】(b) 次にめっき用下地金属層46を、例えば下からTi(20nm)/Au(10μm)の二層膜で形成する。膜形成手段としては、蒸着法、スパッタ法が用いられる。次に、第2の配線層を選択めっきにより形成するため、マスク材として、ゲート型レジスト44(厚さ10μmのパターン)を形成する。厚膜のレジストの下部分の露光量が不足の状態では露光をやめて現像すると、レジスト側面は図のような湾曲した形状となる。次にホトリソレジスト44のパターンをマスクに、選択電解めっき法により、第2の配線層47を8μmのAuめっき膜で形成する。配線層の線幅L、線間距離sは1〜16μmを用いる。

30 【0037】(c) ホトリソレジスト44をレジスト剥離材で除去後、第2の配線層47をマスクとして、電解めっき用の下地金属層46をイオンミリングで除去する。イオンミリングにより第2の配線層47のAuの厚みは約1μmになる。最後に、半絶縁性半導体基板40を100μm〜200μmまで薄層化し、その裏面に裏面電極48を被着する。以上の工程で形成したスパイラルインダクタ素子の断面図を図7に示す。第2の配線層47は上面にのみ基板側がむき出されて凹みを生じている。めっき用下地金属層46は第2の配線層47をマスクにイオンミリングで加工しているため影になり、基板側のむき出しも幅が広い。本発明によれば電流の集中する配線層側面の表面積を増大させることができ、インダクタ素子の外形寸法は小型でありながら、高周波における抵抗を低減できる。

40 【0038】配線幅L=18μm、線間距離s=14μmの巻数6ターンでL=10nHのスパイラルインダクタ素子について、従来構造のインダクタ素子と、本発明



によるインダクタ素子とについて、そのQ値及び寄生抵抗Rを比較した。本発明のインダクタ素子の第2の配線層47は厚さ7 $\mu$ mのAuめっき膜であり、めっき用下地金属膜46には電気抵抗の低いAuを1 $\mu$ m用いている。移動通信で用いられる周波数f=2GHz付近における表皮深さは約2 $\mu$ mである。表面電流は第2の配線層17の下端面と、めっき用下地金属膜46とに集中して流れるが、側面を流れる表面電流は従来に比べ増大できる。この結果、2GHzにおけるインダクタ素子の寄生抵抗値Rは約20%低減でき、電力損失を表す性能指数であるQ値も1.5から1.8に改善されている。このインダクタ素子を、3V動作、消費電流2mAの、2GHzにおいて動作するGaAs低雑音増幅器の整合回路に適用したところ、電力利得はPG=13.5dB、雑音指数NF=1.5dBであり、従来の1GHzに比べ電力利得で0.7dB、NFで0.5dBの改善が図れた。

【0039】本実施例は、配線層の側面に凹みを設けたストリップ線路を螺旋状にして形成した例であるが、ストリップ線路として図1に示すような凹みを設けた形状のものを用いることもできる。また、モノリシックマイク波板10に組み込むストリップ線路としても何れの形状のものでもよい。これらのストリップ線路は、基本的には、配線層の断面形状がその厚み方向に幅の大きさを異にする形状を有する本発明の実施例である。

【0040】(実施例4) 図8は本発明によるさらに別のストリップ線路の断面工程図であり、以下に詳細にその製造方法を説明する。図8(a)は絶縁物微粒子を分散しためっき層の断面図を示す。51は電解めっき液中に分散された絶縁物微粒子であり、電解めっきをする。金属マトリックス層52の中に絶縁物微粒子53が埋め込まれた構造ができる。50は半絶縁性基板、54はストリップなどからマスク材、55はめっき用下地金属膜である。また絶縁物が有機化合物の場合、高温の熱処理により炭化でき金属マトリックス層52内に微細な空隙が形成できる。絶縁物微粒子或いは微細な空隙53は、配線金属の表面積を増大する効果がある。図8

(b)に従来法と本発明によるストリップ線路の導体内における電流密度分布の比較を示す。電流密度の高い場所を、ピーキング56及び56'で示す。本発明によれば、従来法による同法を有する配線層と比較して、配線層底面では深くまで電流が流れ、配線層側面においては表面積を増加させることになり、電流を増加させることができる。そのため本発明によるストリップ線路の直列抵抗では、従来素子に比べ直列抵抗R<sub>0</sub>は相対的に小さくなるが、動作周波数を増加している、と成る周波数から逆転する。その結果、高周波直列抵抗Rの低いストリップ線路を作製できる。

【0041】(実施例5) 図9は本発明による別のインダクタ素子の断面工程図であり、以下に詳細にその製造方法を説明する。

(a) GaAs、InPなどの半絶縁性半導体基板60上にSiO<sub>2</sub>等の絶縁膜61を600nm被着し、第1の金属配線層62を例えば下からMo/Au (Mo:150nm/10 $\mu$ m(50nm))の二層構造を有する金属膜で形成する。第1の金属配線層は本発明の例えば図1(b)の構造を有するものである。配線幅は10 $\mu$ m~40 $\mu$ mを用いる。第2の絶縁膜63、例えばSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>を600nmあるいはポリイミド樹脂6 $\mu$ mを被着後、通常の水リソングラフイー技術を用いてコンタクト孔65を開孔する。64はホトレジストを表す。

【0042】(b)次に電解めっき用の下地金属膜66を、例えば下からTi(20nm)/Ni(150nm)の二層膜で形成する。膜の形成手段としては、蒸着法、スパッタ法が用いられる。次に、第2の配線層を選択めっきにより形成するため、マスク材として、ホトレジスト64'のパターンを形成する。次にホトレジスト64'のパターンをマスクに、選択電解めっき法により、第2の配線層67を形成する。このときめっき液に分散粒子として絶縁物微粒子を分散しておくと、絶縁物微粒子が金属マトリックスの中に埋め込まれた配線層が形成できる。マトリックスとなる金属はAu、Ag、Cuなど低電気抵抗の金属を用い、分散粒子としてはAl<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、SiO<sub>2</sub>、Cr<sub>2</sub>O<sub>3</sub>等の酸化物のほか、炭化物、窒化物を用いる。配線層の線幅l、線間距離sは4~16 $\mu$ mを用いる。また分散粒子としてフェノール樹脂などの有機高分子化合物も適用可能である。その後400℃で熱処理すると、有機物は炭化し微細な空隙ができる。

【0043】(c)ホトレジスト64'をレジスト剥離材で除去後、第2の配線層67をマスクとして、電解めっき用下地金属膜66をイオンミリングで除去する。最後に、半絶縁性半導体基板60を100 $\mu$ m~200 $\mu$ mまで薄層化し、その裏面に裏面電極68を被着する。その後400℃で熱処理すると、有機物は炭化し微細な空隙ができる。

【0044】配線幅l=18 $\mu$ m、線間距離s=14 $\mu$ mの巻数6ターンでL=10nHのモノリシックインダクタ素子について、従来構造のインダクタ素子と、本発明によるインダクタ素子とについて、インダクタの電力損失に関する性能指数であるQ値及び寄生抵抗Rを比較した。本発明のインダクタ素子の配線層2は厚さ8 $\mu$ mのAuめっき膜に、粒径0.2 $\mu$ mの絶縁物微粒子を体積濃度10%含み入れている。移動通信で用いられる周波数f=2GHz付近における寄生抵抗値Rは約20%低減でき、Q値も1.5から1.8に改善されている。絶縁物微粒子あるいは微細な空隙53の最長径の寸法は、インダクタの動作周波数における表皮深さを考慮する必要があり、実験的に、表皮深さの1/10以上から2倍以下の範囲であることが望ましい。

【0045】（実施例6）以下に、本発明の一実施例を図10のモノリシックマイクロ波ICの断面工程図を用いて詳細に説明する。

（a）半絶縁性GaAs基板70上にGaAsFET71、MIM（Metal-Insulator-Metal）容量72、抵抗73、及び第1の配線層74が形成されたウエハを用意する。GaAsFET71はイオン打ち込み法によりn<sup>+</sup>、n層を、ソース電極710、ドレイン電極712をAuGe/Ni/Auで、ゲート電極711をAlにより形成する。MIM容量72は下層電極720のAl層と第1の配線層74のMo/Au層によりプラズマSiN膜721を挟んだサンドイッチ構造である。抵抗73はn<sup>+</sup>層にオーミック電極731をAuGe/Ni/Auにより形成する。第1の配線層74はインダクタ素子の引出線であり、75は絶縁膜である。

【0046】（b）層間絶縁膜76を被着後、コンタクト孔740を開孔し、選択金めっきにより、絶縁物微粒子を分散したインダクタ素子78のコイル部分を第2の配線層77により形成する。金めっきの厚さは8μm、Al<sub>2</sub>O<sub>3</sub>の0.1μm粒子を体積濃度5～10%含む組成を用い、コイルの線幅・線間距離は8μm/4μmを用いた。

【0047】（c）パッシベーション膜76'としてポリイミド樹脂層を被着する。最後に、半絶縁性GaAs基板70を150nmまで薄層化し、裏面電極79を被着する。

【0048】以上のプロセスを経て作成された低雑音増幅器の性能について以下に述べる。モノリシックマイクロ波ICに用いる入出力インピーダンス整合回路には、容量とインダクタ素子が用いられ、その低損失化は、低雑音増幅器等の回路にとって重要である。すなわち、整合回路に用いるインダクタ素子の寄生抵抗Rが大きいと、回路の利得は低下する。さらに利得が低下しただけ、雑音指数も増大し、回路性能の劣化を生じる。このためインダクタ素子による損失は、能動素子であるGaAsMESFETの雑音指数に比べ、回路として提供できる雑音指数を劣化させるという問題がある。本発明によれば、インダクタ素子の寄生抵抗を低減することができ、高性能の低雑音増幅器が作成できた。すなわち、従来は消費電流2mAで、1.9GHzにおいて動作する低雑音増幅器の電力利得はPG=13.5dB、雑音指数NF=2.0dBであったが、本発明によるインダクタ素子を用いた低雑音増幅器は、同一駆動電流で、PG=14.5dB、NF=1.4dBが得られた。また、消費電流を1.6mA、すなわち20%低減しても、PG=13.5dB、雑音指数NF=2.0dBの従来のインダクタ素子を用いた場合の回路性能が得られた。本発明によるインダクタ素子を用いることにより、回路の高利得化、低消費電力化、低雑音化が出来ることが明らかである。

【0049】（実施例7）以下に、本発明の別の実施例を図11のインダクタ素子断面図を用いて詳細に説明する。

（a）スパイラルインダクタの第2の配線層85は、めっき用下地金属層82と絶縁物微粒子を分散した金属層83の間に、絶縁物微粒子を含まない金めっき層84を挟んでも良い。絶縁物微粒子を含まないこれらの層はAu、Ag、Cu等の低電気抵抗金属膜で形成している。80は半絶縁性半導体基板、81はPSG、SiO<sub>2</sub>等の絶縁膜、86は裏面電極、87は第1の配線層である。

【0050】（b）第2の配線層85を用いボンディングパッド等を形成する場合は、インダクタの第2の配線層85の構成を絶縁物微粒子を分散した金属層83上に絶縁物微粒子を含まない金属層、例えばAu層84'にすると良い。

【0051】

【発明の効果】本発明によれば、高周波におけるストリップ線路の寄生抵抗Rを低減でき、さらにストリップ線路を螺旋状に巻いたスパイラルインダクタ素子の低損失化が図れる。さらに、本発明によるストリップ線路あるいはインダクタ素子を用いたモノリシックマイクロ波ICの高利得化、低消費電力化ができ、ICの高性能化が図れる。

【図面の簡単な説明】

【図1】本発明によるストリップ線路の断面図。

【図2】従来のストリップ線路の断面図。

【図3】特性インピーダンスのストリップ線路幅依存性を示す図。

【図4】本発明による一実施例のストリップ線路断面工程図。

【図5】本発明による別の実施例のモノリシックマイクロ波ICの断面工程図。

【図6】本発明による別の実施例のインダクタ素子の断面図。

【図7】本発明によるインダクタ素子の断面鳥瞰図。

【図8】本発明による別の実施例のストリップ線路の断面図。

【図9】本発明による一実施例のインダクタ素子断面工程図。

【図10】本発明による一実施例のモノリシックマイクロ波ICの断面工程図。

【図11】本発明による一実施例のインダクタ素子の断面図。

【符号の説明】

10、40、50、60、80……半絶縁性半導体基板  
11……側面に凹凸を有する導体

11'、25、371……ストリップ線路

12、26、38、68、79、86……裏面電極

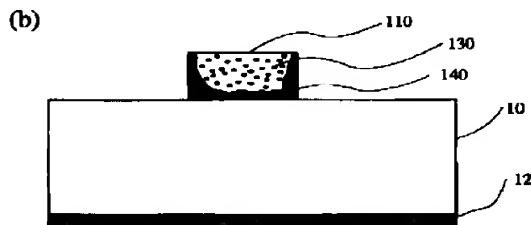
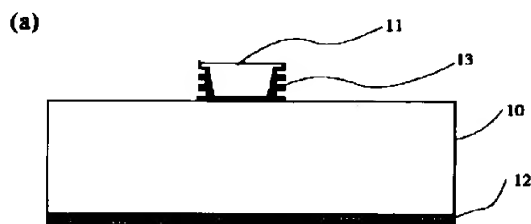
13、13'……電流密度の高い場所

15

- 110、52……金属マトリックス層  
 130……絶縁物微粒子或いは空隙  
 140、56、56'……電流密度の大きい部分  
 20、300、70……半絶縁性GaAs基板  
 21、33、41……絶縁膜  
 22、37、46、55、66……めっき用下地金属  
 23、36、36'、44……レジスト  
 24……配線層

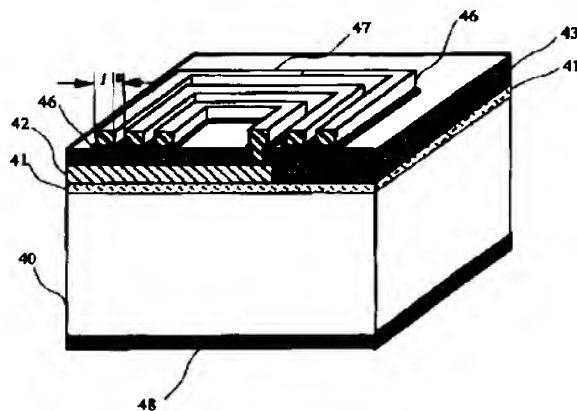
【図1】

図1



【図7】

図7

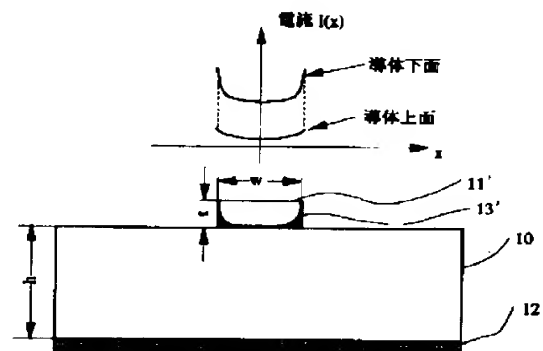


16

- 61、76……層間絶縁膜  
 41、62、74、87……第1の配線層  
 43……第2の絶縁膜  
 47、67、77、85、85'……第2の配線層  
 51、53……絶縁物微粒子  
 71……GaAsFET  
 78……インダクタ素子

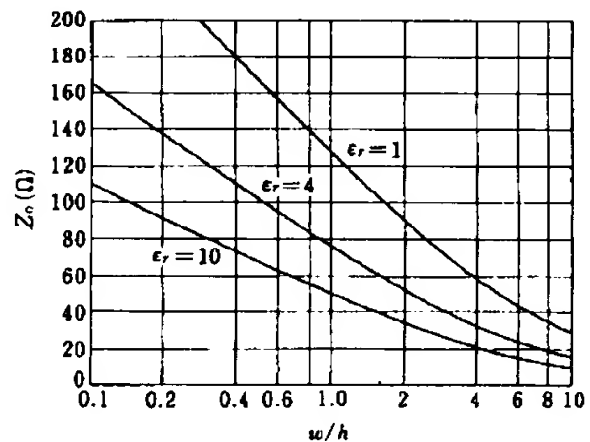
【図2】

図2



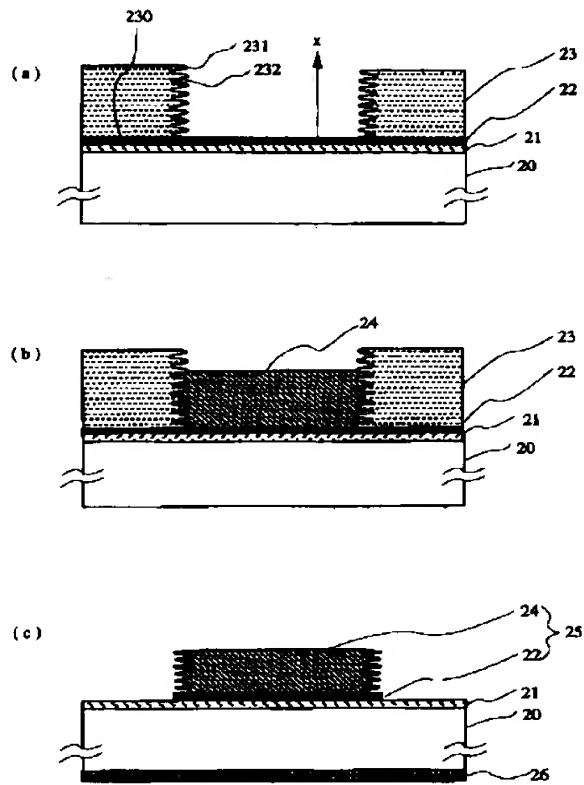
【図3】

図3



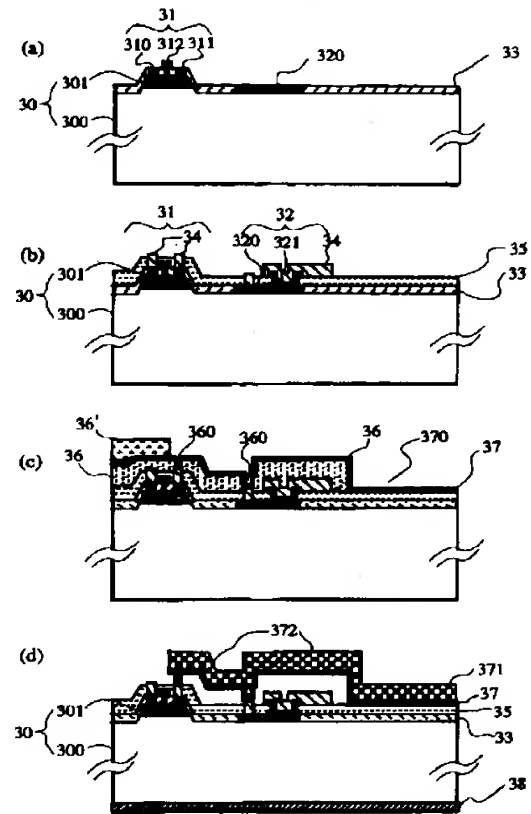
【図4】

図4



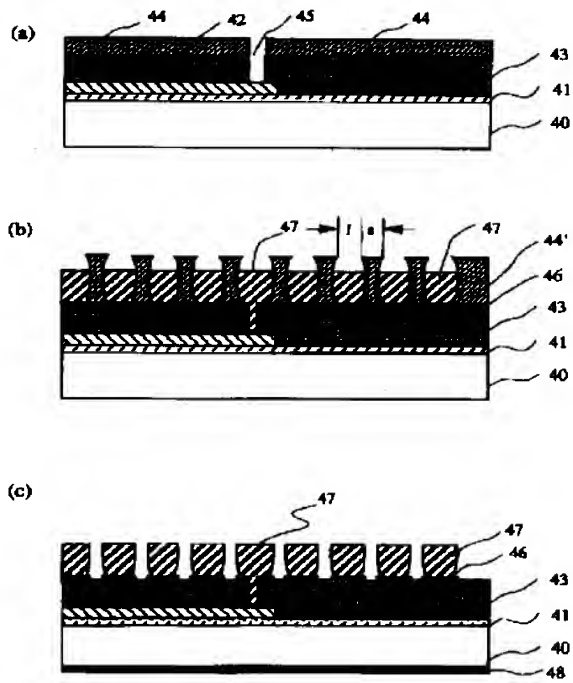
【図5】

図5



【図6】

図6



【図8】

図8

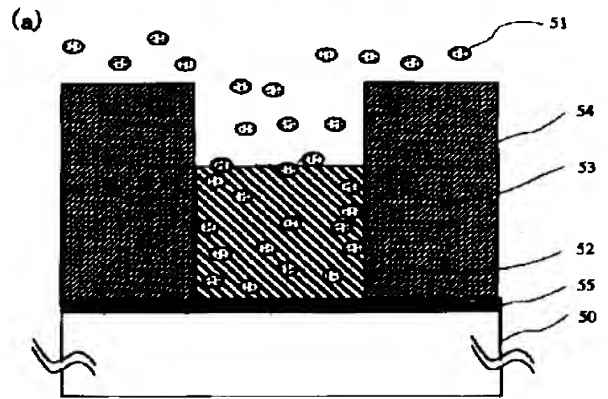
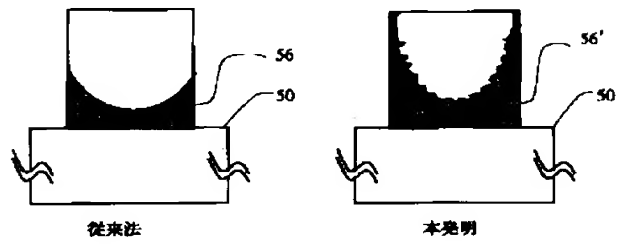


図8

(b)





【図11】

図11

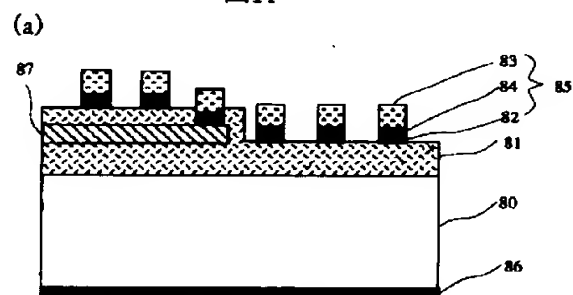
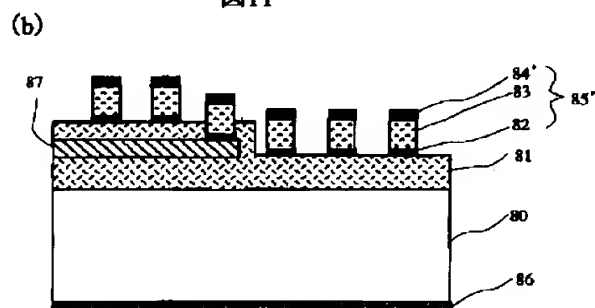


図11



フロントページの続き

(72) 発明者 大部 功

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内